



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Atty. Docket: 02-AG-381
Rino MICHELONI et al. : Group Art Unit: 2818
Serial No. 10/729,829 : Confirmation No. 8549
Filed: December 5, 2003 :

For: *METHOD AND DEVICE FOR PROGRAMMING AN ELECTRICALLY PROGRAMMABLE NON-VOLATILE SEMICONDUCTOR MEMORY*

CLAIM FOR PRIORITY UNDER 35 USC §119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SIR:

Under the provisions of 35 USC §119, there is filed herewith a certified copy of Italian Application No. MI2002A002570 filed on December 5, 2002, in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748, under which Applicants hereby claim priority.

Respectfully submitted,

Date: 5/7/04

By:


Jose Gutman
Reg. No. 35,171

Customer No. 23334
Fleit, Kain, Gibbons, Gutman, Bongini & Bianco P.L.
551 NW 77th Street, Suite 111
Boca Raton, Florida 33487
Telephone: (561) 989-9811
Facsimile: (561) 989-9812



Ministero delle Attività Produttive

Direzione Generale per lo Sviluppo Produttivo e la Competitività

Ufficio Italiano Brevetti e Marchi

Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per:

Invenzione Industriale

N. MI2002 A 002570



Si dichiara che l'unità copia è conforme ai documenti originali depositati con la domanda di brevetto sopraspecificata, i cui dati risultano dall'accluso processo verbale di deposito.

19 GEN. 2004

Roma, il

SIL DIRIGENTE


Ing. DI CARLO

AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

MODULO A



A. RICHIEDENTE (I)

1) Denominazione SIMicroelectronics S.r.l.

Residenza AGRATE BRIANZA(MI)

codice 100,95,19,00,96,8

N.G.

SR

2) Denominazione

Residenza

codice

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome MACCALLI MARCO ED ALTRI

cod. fiscale

denominazione studio di appartenenza MACCALLI & PEZZOLI S.r.l.

via Settembrini

n. 40

città MILANO

cap 20124

(prov) MI

C. DOMICILIO ELETTIVO destinatario

via

n. 111

città

cap

(prov)

D. TITOLO

classe proposta (sez/cl/scl)

gruppo/sottogruppo

'Metodo di programmazione di una memoria a semiconduttore non-volatile programmabile elettricamente"

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:

SI NO

SE ISTANZA: DATA

N° PROTOCOLLO

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) MICHELONI Rino

3)

2) RAVASIO Roberto

4)

F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato
S/R

1)

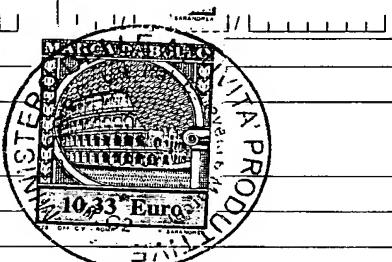
n. 111

/ / / / /

2)

n. 111

/ / / / /

SCIOLGIMENTO RISERVE
Data N° Protocollo

G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

SCIOLGIMENTO RISERVE
Data N° Protocollo

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /

/ / / / /



L'UFFICIALE ROGANTE
M. CORTONESI

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO DOMANDA MI2002A 002570

REG. A

DATA DI DEPOSITO 05/12/2002

NUMERO BREVETTO

DATA DI RILASCIO 11/11/1111

D. TITOLO

"Metodo di programmazione di una memoria a semiconduttore non-volatile programmabile elettricamente"

L. RIASSUNTO

Un metodo di programmazione di una memoria programmabile elettricamente comprende l'applicare almeno un primo impulso di programmazione ad un gruppo di celle di memoria (MC1-MCk) della memoria, l'accedere le celle di memoria del gruppo per accettare un loro stato di programmazione, e l'applicare almeno un secondo impulso di programmazione a quelle celle di memoria nel gruppo il cui stato di programmazione non è accertato corrispondere ad uno stato di programmazione desiderato. Una tensione applicata ad un elettrodo di controllo delle celle di memoria viene variata fra l'almeno un primo impulso di programmazione e l'almeno un secondo impulso di programmazione in funzione di una variazione prevista nelle condizioni di polarizzazione delle celle di memoria nel gruppo fra detti almeno un primo e almeno un secondo impulso di programmazione. Si evita così una indesiderata sovraprogrammazione delle celle di memoria.

M. DISEGNO

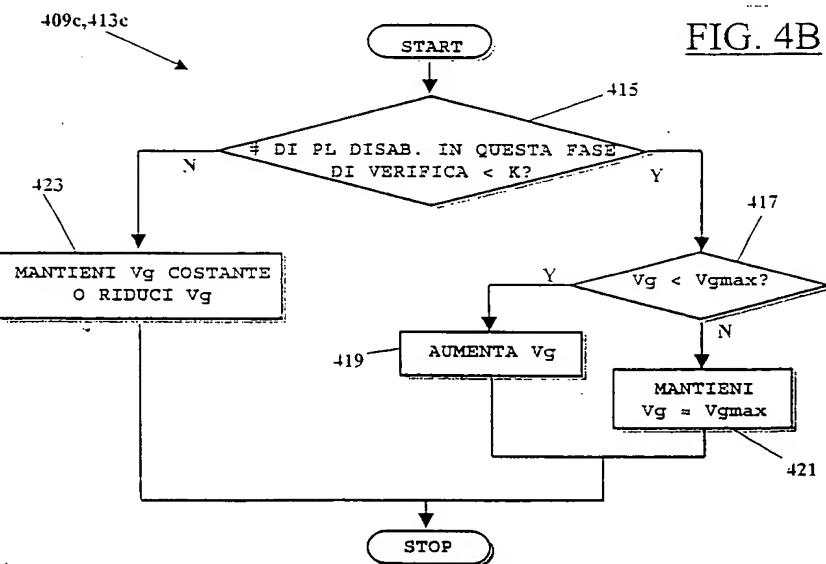


FIG. 4B



MI 2002 A 002570

Ing. Marco MACCALLI
N. Iscriz. 826
(in proprio e per gli altri)

DESCRIZIONE

dell'invenzione industriale dal titolo:

"METODO DI PROGRAMMAZIONE DI UNA MEMORIA A SEMICONDUTTORE
NON-VOLATILE PROGRAMMABILE ELETTRICAMENTE"

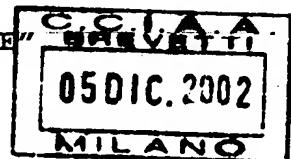
5 A nome: STMICROELECTRONICS S.r.l.

* * * * *

La presente invenzione si riferisce in generale al settore delle memorie a semiconduttore, ed in particolare alle memorie non-volatili elettricamente programmabili, come per esempio le EPROM, le EEPROM e le memorie Flash. Specificamente, l'invenzione concerne un metodo di programmazione di una memoria non-volatile programmabile elettricamente.

Le memorie a semiconduttore non-volatili programmabili elettricamente hanno celle di memoria formate da transistor MOS la cui tensione di soglia può essere variata elettricamente per immagazzinare le informazioni desiderate.

Il numero di diversi valori che la tensione di soglia di una cella di memoria può assumere dipende dal numero di bit che la cella di memoria è destinata ad immagazzinare. Per esempio, in memorie bilivello, che hanno celle di memoria destinate ad immagazzinare solamente un bit ciascuna, la tensione di soglia di ciascuna cella di memoria può assumere uno di due diversi



N. Iscriz. 826
(in proprio e per gli altri)

valori, associati ai due stati logici binari opposti ("1" e "0"). Nelle memorie multilivello, le cui celle di memoria sono destinate ad immagazzinare più di un bit, il numero di diversi valori di tensione di soglia è pari a 5 2^n , dove n identifica il numero di bit immagazzinati in ciascuna cella di memoria. Sono anche note memorie multilivello in cui n bit sono immagazzinati in k celle di memoria, dove $k < n$ e n/k è un numero non intero; in questo caso, il numero di diversi valori che la tensione 10 di soglia della cella di memoria può assumere è maggiore di due, ma non uguale ad una potenza di due.

Programmare una cella di memoria significa portare la tensione di soglia della cella di memoria al valore desiderato a partire da una condizione di cella di memoria cancellata nella quale il valore della tensione di soglia è uguale a o minore del più basso dei valori prescritti. Tipicamente, per aumentare la tensione di soglia della cella di memoria, elettroni sono iniettati in un gate flottante della cella di memoria, ad esempio 15 di polisilicio, o in un elemento di intrappolamento di carica della cella di memoria (tipicamente uno strato di nitruro di silicio); la carica presente nel gate flottante o nell'elemento di intrappolamento di carica influenza la formazione di un canale conduttivo quando ad 20 un gate di controllo della cella di memoria è applicata 25

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

una tensione di gate.

Gli elettroni sono ad esempio iniettati nel gate flottante o nell'elemento ad intrappolamento di carica mediante il meccanismo di iniezione di elettroni caldi 5 dal canale, che è innescato applicando opportune tensioni di programmazione ai terminali della cella di memoria.

I dati immagazzinati nella cella di memoria sono recuperati accedendo la cella di memoria in condizioni di lettura. Prescritte tensioni di lettura sono applicate ai 10 terminali della cella di memoria, e viene rilevata la corrente assorbita dalla cella di memoria. Maggiore è la tensione di soglia della cella di memoria, minore è la corrente assorbita dalla cella di memoria. I dati immagazzinati nella cella di memoria sono così 15 determinati confrontando la corrente rilevata con una corrente di riferimento prescritta (o una pluralità di correnti di riferimento, nel caso di una memoria multilivello).

I tradizionali algoritmi di programmazione prevedono 20 di applicare alla cella di memoria una sequenza di impulsi di programmazione, ciascun impulso di programmazione prevedendo di applicare ai terminali della cella di memoria le opportune tensioni di programmazione per un tempo prescritto, relativamente breve. Ciascun 25 impulso di programmazione determina un lieve aumento

N. Iscriz. 826
(in proprio e per gli altri)

nella tensione di soglia della cella di memoria. Dopo ciascun impulso programmazione, la tensione di soglia della cella di memoria viene controllata (verificata) per accettare se la cella di memoria è stata programmata 5 (fase di verifica della programmazione). Per verificare il valore della tensione di soglia, la cella di memoria è acceduta in lettura. Tipicamente, nella fase di verifica della programmazione le condizioni in cui lo stato di programmazione della cella di memoria è accertato sono 10 rese intenzionalmente più critiche rispetto all'accesso alla cella di memoria in lettura standard. Ciò vuol dire che una cella di memoria che sarebbe rilevata come programmata in condizioni di lettura standard può essere rilevata come non programmata nelle condizioni di 15 verifica della programmazione, se la tensione di soglia della cella di memoria non è adeguatamente elevata. Ciò assicura che la cella di memoria venga programmata con un margine prescritto.

In particolare, è stato osservato che se una 20 tensione applicata al gate di controllo della cella di memoria è progressivamente aumentata a ciascun impulso di programmazione, la tensione di soglia della cella di memoria aumenta progressivamente seguendo l'aumento nella tensione di gate di controllo; per esempio, se al gate di 25 controllo della cella di memoria è applicata una rampa di



Ing. Marco MACCALLI

N. Iscriz. 826
(in proprio e per gli altri)

tensione, l'evoluzione della tensione di soglia della cella di memoria segue una rampa simile, semplicemente traslata rispetto alla rampa di tensione del gate di controllo. Questa tecnica, che permette di controllare 5 con molta precisione l'evoluzione nel tempo della tensione di soglia durante la programmazione, è particolarmente utile per programmare le memorie multilivello, in cui i valori di tensione di soglia associati ai diversi stati logici binari sono 10 relativamente vicini fra loro e, diversamente dalle memorie bilivello, occorre essere in grado di impostare le tensioni di soglia delle celle di memoria a valori prescritti, e non genericamente spostare la tensione di soglia al di sopra di un valore minimo predefinito.

15 La Richiedente ha tuttavia osservato che la relazione tra l'evoluzione nel tempo della tensione di gate di controllo e quella della tensione di soglia della cella di memoria dipende anche dai potenziali elettrici degli altri elettrodi della cella di memoria, vale a dire 20 il potenziale di source, il potenziale di drain ed il potenziale di corpo ("body"). In particolare, i potenziali degli altri elettrodi della cella di memoria determinano l'entità della traslazione della rampa di tensione di soglia della cella di memoria rispetto alla 25 rampa di tensione di gate di controllo. Pertanto,

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

l'evoluzione nel tempo della tensione di soglia può essere controllata solamente a patto che i potenziali degli altri elettrodi della cella di memoria non cambino durante la programmazione.

5 Purtroppo, la Richiedente ha osservato che vi sono fattori che fanno sì che i potenziali effettivi degli elettrodi di una cella di memoria in una memoria si discostino dai potenziali attesi. Questi fattori includono per esempio resistenze parassite delle linee di
10 alimentazione di tensione e delle linee di segnale, come ad esempio le resistenze inevitabilmente presenti in serie agli elettrodi di source, drain e body delle celle di memoria, e la resistenza di uscita dei regolatori di tensione che forniscono le tensioni di programmazione
15 necessarie (ad esempio, la tensione di drain). Resistenze delle diffusioni, resistenze delle linee metalliche e resistenze dei contatti, solo per citare alcuni esempi, si sommano a dare valori complessivi non trascurabili.

Queste resistenze parassite introducono cadute di
20 tensione che dipendono dalle correnti che in esse fluiscono.

Le celle di memoria sono normalmente programmate per gruppi, anche chiamati pagine, ad esempio di sedici, trentadue o anche sessantaquattro celle di memoria.
25 Quando le tensioni di programmazione sono applicate ad

N. Iscriz. 826
(in proprio e per gli altri)

una cella di memoria non programmata, una corrente relativamente elevata fluisce dal drain al source, ed attraverso il body. Non appena una cella di memoria è verificata essere stata programmata al livello desiderato 5 (ovverosia, la tensione di soglia della cella ha raggiunto il valore desiderato), essa è scollegata da un rispettivo circuito di carico di programmazione che fornisce il potenziale di drain prescritto: in questo modo, alla cella non verranno applicati ulteriori impulsi 10 di programmazione. Man mano che la procedura di programmazione prosegue, un numero sempre maggiore di celle della pagina sono progressivamente scollegate dai rispettivi circuiti di carico di programmazione. Quando 15 una cella è scollegata dal rispettivo circuito di carico di programmazione, essa cessa di assorbire corrente; di conseguenza, la corrente complessiva assorbita dalle celle della pagina di memoria in programmazione diminuisce man mano che la procedura di programmazione prosegue. A causa della diminuzione di queste correnti, 20 anche la caduta di tensione sulle resistenze parassite diminuisce: i potenziali elettrici effettivi degli elettrodi delle celle di memoria variano dunque durante la procedura di programmazione.

Una conseguenza di ciò è che la tensione di soglia 25 delle celle di memoria non può essere controllata, e può

N. Iscrz. 826
~~(in proprio e per gli altri)~~

accadere che le celle siano programmate a livelli indesiderati, troppo elevati. Se ciò accade, la pagina di memoria deve essere cancellata di nuovo, e la procedura di programmazione deve essere ripetuta.

5 La Richiedente ha anche osservato che questo problema affligge sia le memorie bilivello che quelle multilivello, ma nel secondo caso esso è particolarmente sentito, a causa del fatto che i diversi livelli di tensione di soglia sono vicini l'uno all'altro.

10 È stato perciò uno scopo della presente invenzione quello di fornire un nuovo metodo di programmazione che permettesse di superare il problema sopra discusso.

15 In accordo con un aspetto della presente invenzione, questo ed altri scopi sono stati raggiunti mediante un metodo di programmazione come definito nell'unità rivendicazione 1.

In breve, il metodo comprende:

applicare almeno un primo impulso di programmazione ad un gruppo di celle di memoria della memoria;

20 accedere le celle di memoria del gruppo per accettare un loro stato programmazione; e

applicare almeno un secondo impulso di programmazione a quelle celle di memoria nel gruppo il cui stato di programmazione non è accertato corrispondere
25 ad uno stato di programmazione desiderato, variando



N. Iscriz. 826
(in proprio e per gli altri)

tensione applicata ad un elettrodo di controllo delle celle di memoria fra l'almeno uno primo impulso di programmazione e l'almeno un secondo impulso di programmazione.

5 La tensione dell'elettrodo di controllo è variata prevedendo una variazione nelle condizioni di polarizzazione delle celle di memoria nel gruppo fra detti almeno un primo ed almeno un secondo impulso di programmazione; la tensione dell'elettrodo di controllo è
10 variata in accordo alla variazione prevista nelle condizioni di polarizzazione.

Le caratteristiche ed i vantaggi della presente invenzione saranno resi evidenti dalla seguente descrizione particolareggiata di una sua forma di
15 realizzazione, fornita soltanto a titolo di esempio non limitativo, che sarà fatta in combinazione coi disegni annessi, nei quali:

FIG. 1 mostra schematicamente una memoria non-volatile programmabile elettricamente, in termini dei
20 principali blocchi funzionali;

FIG. 2A mostra schematicamente in maggior dettaglio un settore di memoria della memoria di FIG. 1, ed il circuito di carico di programmazione associato, in una configurazione circuitale per un'operazione di
25 programmazione;

Ing. Marco MACCALLI
N. Iscriz. 826
(in proprio e per gli altri)

FIG. 2B mostra schematicamente un circuito di controllo del carico di programmazione per controllare il circuito di carico di programmazione;

FIG. 3 mostra schematicamente una disposizione 5 circuitale atta ad implementare un metodo di programmazione secondo una forma di realizzazione della presente invenzione;

FIGG. 4A e 4B sono diagrammi di flusso che mostrano schematicamente le fasi principali di un metodo di 10 programmazione secondo una forma di realizzazione della presente invenzione;

FIG. 5 è un diagramma che mostra la relazione tra correnti di cella di memoria, correnti di riferimento per la lettura standard e correnti di riferimento per la 15 lettura di verifica della programmazione, nel caso di una memoria a quattro livelli;

FIG. 6A è un diagramma temporale che mostra l'evoluzione della tensione di gate e della tensione di soglia di una cella di memoria in un metodo di 20 programmazione convenzionale; e

FIGG. 6B e 6C sono diagrammi temporali che mostrano l'evoluzione della tensione di gate e della tensione di soglia di una cella di memoria nel metodo di programmazione di FIGG. 4A e 4B.

25 Riferendosi ai disegni, e particolarmente a FIG. 1,

N. Iscriz. 828
(in proprio e per gli altri)

è mostrata schematicamente in termini dei principali blocchi funzionali una memoria a semiconduttore non-volatile programmabile elettricamente. In particolare, nella forma di realizzazione esemplificativa e non limitativa dell'invenzione qui discussa, la memoria è una memoria Flash.

La memoria comprende una pluralità di settori di memoria 103a, ..., 103q. Ciascun settore di memoria include una disposizione bidimensionale di celle di memoria MC, convenzionalmente disposte per righe (linee di parola) e colonne (linee di bit). Le celle di memoria MC sono per esempio transistor MOS a gate flottante, essendo inteso che può anche essere impiegata qualsiasi altra struttura di cella di memoria non-volatile programmabile elettricamente. Il numero di settori di memoria, il numero di celle di memoria in ciascun settore di memoria, il numero di righe e colonne in cui le celle di memoria in ciascun settore sono disposte dipende da molti fattori, come le dimensioni complessive della memoria e le applicazioni per le quali la memoria è progettata; in ogni caso, questi parametri non sono critici per la presente invenzione.

I settori di memoria 103a, ..., 103q comprendono convenzionali circuiti di selezione di riga e di colonna (nel seguito chiamati selettore di linea di parola e

Ing. Marco MACCALLI

N. ISCRIZ. 826

(in proprio e per gli altri)

selettori di linea di bit, rispettivamente), non mostrati in dettaglio in FIG. 1 per chiarezza del disegno, per selezionare le righe e le colonne dei settori di memoria.

Le celle di memoria MC possono essere destinate ad immagazzinare un bit (memoria bilivello) o più bit (memoria multilivello); nel primo caso, la tensione di soglia della cella di memoria può assumere uno di due diversi valori, il valore più basso essendo convenzionalmente associato allo stato logico "1", e il valore più alto essendo associato allo stato "0". Nel caso di una memoria multilivello, la tensione di soglia della cella di memoria può assumere uno qualunque di una pluralità di diversi valori, ad esempio, quattro diversi valori per celle di memoria in grado di immagazzinare due bit ciascuna; il primo valore, più basso, è convenzionalmente associato allo stato "11", il secondo valore è associato allo stato "10", il terzo valore è associato allo stato "01" ed il valore più elevato è associato allo stato "00". Convenzioni opposte possono chiaramente essere adottate. Più in generale, in una memoria multilivello il numero di diversi valori che la tensione di soglia della cella di memoria può assumere può essere pari ad una potenza di due, nel qual caso la cella di memoria immagazzina n bit, oppure il numero di diversi valori può essere un qualsiasi numero inter-



N. Iscriz. 828
(in proprio e per gli altri)

diverso da una potenza di due, nel qual caso n bit sono immagazzinati in un gruppo di k celle di memoria, con $k < n$.

Ciascun settore di memoria 103a, ..., 103q ha una linea di source indipendente SLa, ..., SLq, che fornisce un potenziale di source alle celle di memoria MC di quel settore di memoria. Selettori di linea di source 105a1, 105a2..., 105q1, 105q2 sono associati a ciascuna linea di source SLa, ..., SLq. I selettori di linea di source, che nella forma di realizzazione esemplificativa mostrata sono formati da transistor di trasferimento, ad esempio MOSFET a canale N, sono controllati da un circuito di selezione di settore per la cancellazione 107, che permette di collegare selettivamente le linee di source SLa, ..., SLq dei settori di memoria ad una prima linea di source comune SL1, connessa ad una tensione di riferimento GND (terra), o ad una seconda linea di source comune SL2, connessa ad un'uscita di una pompa di carica che genera una tensione di source di cancellazione Ves, per esempio una tensione positiva relativamente elevata.

Un circuito di controllo della memoria 119 controlla il circuito di selezione di settore per la cancellazione 107 che, in funzione dell'operazione da eseguire, accende o spegne in modo selettivo i selettori di linea di source 105a1, 105a2..., 105q1, 105q2, in modo da collegare le

linee di source SL_a, ..., SL_q alle linee di source comune SL₁ o SL₂. In particolare, quando un dato settore di memoria è acceduto in lettura o in programmazione, tutte le linee di source di settore SL_a, ..., SL_q sono collegate alla linea di source comune SL₁, e quindi poste a terra; al contrario, quando un dato settore di memoria è acceduto in cancellazione, la linea di source di settore è collegata alla linea di source comune SL₂, e quindi alla tensione di source di cancellazione, mentre tutte le rimanenti linee di source di settore sono collegate alla linea di source comune SL₁, e quindi poste a terra.

Associati ai settori di memoria 103a, ..., 103q vi sono un circuito di carico di programmazione 111 ed un circuito amplificatore di lettura 113. Una convenzionale 15 circuiteria di decodifica e selezione di settore 115 permette di collegare al settore di memoria selezionato il circuito di carico di programmazione e/o il circuito amplificatore di lettura, in funzione dell'operazione da eseguire.

Le linee di bit selezionate dal circuito di selezione di colonna del settore di memoria selezionato possono essere selettivamente connesse al circuito di carico di programmazione 111 o al circuito amplificatore di lettura 113, in funzione dell'operazione da eseguire 25 (lettura o programmazione). In particolare, mezzi

N. Isotiz. 826
(in proprio e per gli altri)

interruttori 117, controllati dal circuito di controllo della memoria 119, permettono di collegare le colonne di celle di memoria selezionate al circuito di carico di programmazione 111 quando le celle di memoria che appartengono alle linee di bit selezionate devono essere programmate, ed al circuito amplificatore di lettura 113 quando le celle di memoria che appartengono alle linee di bit selezionato devono essere lette, vuoi per condurre una lettura standard o una lettura di verifica della programmazione.

Il circuito di carico di programmazione 111 riceve segnali di controllo dal circuito di controllo della memoria 119. In particolare, il circuito di carico di programmazione 111 riceve dal circuito di controllo della memoria 119 un segnale di controllo SET-PL che, quando asserito, fa sì che il circuito di carico di programmazione 111 colleghi tutte le linee di bit selezionate del settore di memoria selezionato all'uscita di un regolatore di tensione che fornisce una tensione di programmazione Vpd per gli elettrodi di drain delle celle di memoria. Il circuito di carico di programmazione 111 riceve anche una parola dati DATA da scrivere in celle di memoria selezionate del settore di memoria selezionato. La parola dati DATA definisce una maschera o schema di scrittura per le celle di memoria selezionate.

N. Isotiz. 826
(in proprio o per gli altri)

Un circuito comparatore 121 riceve e confronta la parola dati DATA con un'uscita del circuito amplificatore di lettura 113 che reca dati letti dalle celle di memoria selezionate del settore di memoria selezionato durante un accesso in lettura per la verifica della programmazione.

Il circuito comparatore 121 genera una pluralità di segnali, globalmente indicati in FIG. 1 con RST-PL, che, in funzione dell'esito del confronto, sono selettivamente asseriti per far sì che il circuito di carico di programmazione 111 scolleghi selettivamente alcune o tutte le linee di bit selezionate del settore di memoria selezionato dall'uscita del regolatore di tensione di drain di programmazione, come sarà meglio descritto più oltre.

Il circuito di controllo della memoria 119 può per esempio essere implementato mediante una macchina a stati.

Il circuito di controllo della memoria 119 controlla anche un generatore di tensione variabile Vg che genera una tensione di gate di programmazione variabile da applicare alle linee di parola selezionate dei settori di memoria durante la programmazione.

In FIG. 1 sono anche mostrati, in termini di elementi circuitali concentrati, alcuni dei componenti parassiti presenti nel circuito, responsabili del



N. Iscriz. 826
(in proprio e per gli altri)

problema discusso nella parte introduttiva di questa descrizione. In particolare, elementi circuituali concentrati R_{SLa1} , R_{SLa2}, \dots , R_{SLq1} , R_{SLq2} rappresentano resistenze parassite associate alle linee di source di settore SLa, ..., SLq ed ai selettori di linea di source 105a1, 105a2, ..., 105q1, 105q2; elementi circuituali concentrati R_{SL1} e R_{SL2} rappresentano resistenze parassite associate alle linee di source comune SL1 e SL2, rispettivamente; elementi circuituali concentrati R_{Ba}, \dots , R_{Bq} rappresentano resistenze parassite associate agli elettrodi di body delle celle di memoria: queste resistenze parassite includono per esempio resistenze associate con le vasche di semiconduttore drogato in cui sono formate le celle di memoria, resistenze associate alle linee metalliche che portano i potenziali di polarizzazione di body, resistenze di contatto. Un elemento circuitale concentrato R_{Vpd} rappresenta una resistenza di uscita del regolatore di tensione che fornisce la tensione di programmazione Vpd per gli elettrodi di drain delle celle di memoria; l'elemento circuitale concentrato R_{Vpd} è inteso anche rappresentare la resistenza parassita della linea di alimentazione di tensione che porta la tensione di programmazione Vpd al circuito di carico di programmazione 111.

Passando ora a FIG. 2A, vi è mostrata

Ing. Marco MAGCALLI

N. Iscriz. 826

(in proprio e per gli altri)

schematicamente in maggior dettaglio la struttura di uno dei settori di memoria della memoria, vale a dire il settore di memoria 103a, con i rispettivi selettore di linea di parola 201 e selettore di linea di bit 203. In 5 particolare, FIG. 2A mostra la configurazione circuitale nel caso di un'operazione di programmazione. Il selettore di linea di parola 201 permette di selezionare una della pluralità di linee di parola WL1, WL2... della disposizione di celle di memoria del settore di memoria 103a.

10 Conventionalmente, la selezione della linea di parola è effettuata decodificando un indirizzo di memoria (non mostrato). Il potenziale della linea di parola selezionata, per esempio la linea di parola WL1, è portato ad un valore prescritto (tensione di lettura di 15 linea di parola o tensione di programmazione di linea di parola), in funzione dell'operazione da eseguire sulle celle di memoria di quella linea di parola; il potenziale delle linee di parola non selezionate è tipicamente tenuto alla tensione di riferimento GND. Anche il 20 selettore di linea di bit 203 effettua una decodifica dell'indirizzo di memoria e permette di selezionare un gruppo o pacchetto di linee di bit (nell'esempio mostrato, il pacchetto di linee di bit BL1 - BLk) fra la pluralità di linee di bit BL1 - BL(k+1),... della 25 disposizione di celle di memoria. Un pacchetto di linee

di bit può per esempio includere sedici, trentadue o anche sessantaquattro linee di bit, o più. Le linee di bit di uno stesso pacchetto non devono necessariamente essere linee di bit fisicamente adiacenti nella 5 disposizione di celle di memoria del settore di memoria: per esempio, le linee di bit di uno stesso pacchetto possono essere una ogni otto o sedici linee di bit della disposizione di celle di memoria. Le linee di bit selezionate sono connesse al circuito di carico di 10 programmazione 111, mentre le linee di bit non selezionate sono lasciate sconnesse (flottanti); alternativamente, le linee di bit non selezionate sono tenute a terra.

FIG. 2A mostra anche schematicamente ma in maggior 15 dettaglio che FIG. 1 il circuito di carico di programmazione 111. Il circuito comprende un ramo di circuito di carico di programmazione per ciascuna linea di bit di un pacchetto di linee di bit selezionato. Un generico ramo di circuito di carico di programmazione 20 comprende un interruttore 207, per esempio un MOSFET. L'interruttore 207 è connesso in serie tra la linea di alimentazione di tensione che reca la tensione di drain di programmazione VPD e la rispettiva linea di bit del pacchetto selezionato. Un circuito di controllo del 25 carico di programmazione 209 riceve i segnali di

N. Iscriz. 876
(in proprio e per gli altri)

controllo SET-PL, RST-PL e la maschera di scrittura DATA, e controlla di conseguenza gli interruttori 207 dei rami di circuito di carico di programmazione.

FIG. 2B mostra la struttura del circuito di controllo del carico di programmazione 209 secondo una forma di realizzazione della presente invenzione. Ciascun interruttore 207 è controllato indipendentemente da un rispettivo circuito di controllo (solamente due dei circuiti di controllo di interruttore sono mostrati in FIG. 2B, per semplicità), nell'esempio mostrato comprendente un flip-flop 211-1, ..., 211-k. Ciascun flip-flop 211-1, ..., 211-k riceve i segnali di controllo SET-PL dal circuito di controllo della memoria 119, ed un rispettivo segnale di controllo RST-PL[1], ..., RST-PL[k] facente parte dei segnali di controllo RST-PL generati dal circuito comparatore 121. Lo stato asserito/deasserito di uno generico dei segnali RST-PL[1], ..., RST-PL[k] dipende dal risultato del confronto, effettuato dal circuito comparatore 121, tra il bit (o gruppo di bit, nel caso di una memoria multilivello) corrispondente DATA[1], ..., DATA[k] della parola dati DATA da scrivere nelle celle di memoria selezionate, e il bit (o gruppo di bit, nel caso di una memoria multilivello) di dati letti dal circuito amplificatore di lettura dalla cella di memoria corrispondente durante la fase di



N. Iscriz. 826
(in proprio e per gli altri)

verifica della programmazione. In particolare, il segnale di controllo SET-PL è fornito ad un ingresso di impostazione S di tutti i flip-flop 211-1, ..., 211-k; il segnale di controllo RST-PL[1], ..., RST-PL[k] è fornito 5 ad un ingresso di azzeramento R del rispettivo flip-flop 211-1, ..., 211-k. Un'uscita Q di ciascun flip-flop 211-1, ..., 211-k, che è asserita (stato logico "1") quando il flip-flop è nello stato impostato e deasserita (stato logico "0") quando il flip-flop è nello stato azzerato, 10 controlla lo stato di apertura/chiusura dell'interruttore 207 del ramo di circuito di carico di programmazione associato. Quando un generico flip-flop 211-1, ..., 211-k è nello stato impostato, l'interruttore 207 del ramo di circuito di carico di programmazione associato è chiuso e 15 si stabilisce un percorso conduttivo tra linea di alimentazione della tensione di programmazione di drain e la linea di bit corrispondente del pacchetto selezionato; in questa condizione, le celle di memoria di quella linea di bit ricevono sui loro terminali di drain la tensione di drain di programmazione portata dalla linea di alimentazione della tensione di drain di programmazione. 20 Se un flip-flop è nello stato azzerato, l'interruttore 207 associato è aperto, e la linea di bit corrispondente è lasciata flottante (alternativamente, la linea di bit può essere messa a terra); le celle di memoria della 25

Ing. Marco MACCALLI
N. Iscriz. 826
(in proprio e per gli altri)

linea di bit non ricevono sul loro terminale di drain la tensione di drain di programmazione. Lo stato dell'interruttore 207 nel generico ramo di circuito di carico di programmazione è quindi immagazzinato nel flip-flop 211-1, ..., 211-k associato.

L'uscita di ciascun flip-flop 211-1, ..., 211-k è inoltre fornita ad una rispettiva porta OR 213-1, ..., 213-k, unitamente ad un'uscita di una associata porta NOR 219-1, ..., 219-k alimentata da una rispettiva porzione (comprendente un bit, nel caso di una memoria bilivello, o un gruppo di bit, nel caso di una memoria multilivello) DATA[1], ..., DATA[k] della maschera di scrittura DATA. Le uscite di tutte le porte OR 213-1, ..., 213-k sono poste in OR logico in una porta logica OR 215 per generare un segnale di controllo PL-OFF che è fornito al circuito di controllo della memoria 119. Il segnale PL-OFF è usato dal circuito di controllo della memoria 119 per determinare lo stato corrente dei rami di circuito di carico di programmazione. Interruttori 217-1, ..., 217-k, controllati dal circuito di controllo della memoria 119, permettono di bipassare le porte OR 213-1, ..., 213-k, per cui le uscite dei flip-flop 211-1, ..., 211-k sono connesse direttamente alla porta OR 215 e lo stato del segnale di controllo PL-OFF non è influenzato dalla maschera di scrittura DATA.

N. Iscriz. 826
(in proprio e per gli altri)

E' possibile apprezzare che le resistenze parassite R_{SLa1} e R_{SL1} influenzano l'effettivo potenziale di source delle celle di memoria nella pagina di memoria da programmare; per pagina di memoria si intende un gruppo 5 di celle di memoria che appartengono ad una linea di parola selezionata e ad un pacchetto di linee di bit selezionato, come le celle di memoria da MC1 a MCK in FIG. 2A. Una caduta di tensione V_{drop1} sulle resistenze parassite R_{SLa1} e R_{SL1} dipende dalla corrente I_S che 10 fluisce attraverso la linea di source durante la programmazione. Analogamente, la resistenza parassita R_{Vpd} influenza l'effettivo potenziale di drain applicato, attraverso il circuito di carico di programmazione 111, alle celle di memoria della pagina di memoria da 15 programmare; anche in questo caso, una caduta di tensione V_{drop2} sulla resistenza parassita R_{Vpd} dipende dalla corrente I_D assorbita dalle celle di memoria che vengono programmate. Inoltre, la resistenza parassita R_{Ba} 20 influenza l'effettivo potenziale di body delle celle di memoria che vengono programmate, ed una caduta di tensione V_{drop3} su questa resistenza parassita dipende dalla corrente di body I_B .

Maggiori sono le correnti I_S , I_D e I_B , maggiore è la 25 caduta di tensione V_{drop1} , V_{drop2} e V_{drop3} , maggiore è lo scostamento dei potenziali di source, drain e body delle

N. Iscriz. 826
(in proprio e per gli altri)

celle di memoria dai valori attesi (rispettivamente, la terra GND, la tensione di drain di programmazione Vpd e la terra GND).

FIG. 3 mostra schematicamente una disposizione circuitale atta ad implementare un metodo di programmazione secondo una forma di realizzazione della presente invenzione, che sarà descritto nel seguito facendo riferimento a FIGG. 4A e 4B. L'uscita Q di ciascun flip-flop 211-1, ..., 211-k che controlla lo stato di apertura/chiusura dell'interruttore 207 di un rispettivo ramo di circuito di carico di programmazione è fornita ad un primo ingresso di una rispettiva porta AND 301-1, ..., 301-k; un secondo ingresso di ogni porta AND 301-1, ..., 301-k è alimentato dal segnale di controllo RST-PL[1], ..., RST-PL[k] che alimenta l'ingresso di azzeramento del rispettivo flip-flop 211-1, ..., 211-k. Le uscite di tutte le porte AND 301-1, ..., 301-k alimentano un circuito sommatore 303. Un'uscita ΔVal del circuito sommatore 303, recante un valore pari alla somma di "1" logici presente all'ingresso del circuito di sommatore, è alimentata ad un circuito di controllo della tensione di gate di programmazione 305, che controlla il generatore di tensione di gate Vg. L'uscita ΔVal del circuito sommatore 303 è anche alimentata ad un comparatore 307 che confronta il valore presente sull'uscita ΔVal del



N. Iscriz. 826
(in proprio e per gli altri)

circuito sommatore 303 con un valore di soglia prescritto K; un'uscita del comparatore 307, asserita quando il valore presente all'uscita ΔVal del circuito sommatore 303 è maggiore del valore di soglia prescritto K,
5 alimenta il circuito di controllo della tensione di gate di programmazione 305. E' possibile apprezzare che quando un generico ramo di circuito di carico di programmazione, inizialmente abilitato (interruttore 207 chiuso) viene disabilitato (interruttore 207 aperto), il rispettivo
10 segnale di controllo RST-PL[1]I,..., RST-PL[k] e l'uscita Q del rispettivo flip-flop 211-1,..., 211-k sono entrambi al livello logico "1" per un intervallo di tempo dato, prima che il contenuto del flip-flop venga aggiornato, così che l'uscita dell'associata porta AND 301-1,..., 301-k è un "1"
15 logica durante tale intervallo di tempo; a questo scopo, l'aggiornamento dei flip-flop può essere condizionato da un segnale di abilitazione, non mostrato, generato dal circuito di controllo della memoria 119, o dal circuito comparatore 121, ed opportunamente ritardato rispetto ai
20 segnali di controllo RST-PL[1],..., RST-PL[k]. Il circuito sommatore 303 somma dunque tutti gli "1" logici presenti alle uscite delle porte AND 301-1,..., 301-k, ed il valore presente all'uscita ΔVal del circuito sommatore fornisce un'indicazione del numero di rami di circuito di
25 carico di programmazione che passeranno dallo stato

Ing. Marco MAGCALLI

~~N. Iscriz. 826~~

~~abilitato a quello disabilitato. (in proprio e per gli altri)~~

FIGG. 4A e 4B sono diagrammi di flusso che mostrano schematicamente le fasi principali di un'operazione di programmazione condotta secondo un metodo in accordo ad 5 una forma di realizzazione della presente invenzione.

In particolare, l'operazione di programmazione discussa nel seguito a titolo di esempio si riferisce ad una memoria multilivello, per esempio una memoria a quattro livelli. Il flusso dell'operazione sarà in 10 seguito descritto in combinazione con FIG. 5, che mostra schematicamente una disposizione di correnti di riferimento adottata nel circuito amplificatore di lettura 113 per leggere le celle di memoria in condizioni di lettura standard e di lettura di verifica della 15 programmazione. In particolare, un asse orizzontale I_c rappresenta valori di corrente di cella di memoria. I_{r1} , I_{r2} e I_{r3} e I_{pv1} , I_{pv2} e I_{pv3} rappresentano valori di corrente di riferimento usati per discriminare i quattro possibili stati di programmazione delle celle di memoria 20 in condizioni di lettura standard ed in condizioni di lettura di verifica della programmazione, rispettivamente; I_{ev} rappresenta un valore di corrente di riferimento usato in condizioni di lettura di verifica della cancellazione per garantire che le celle di memoria 25 siano cancellate. I_{c1} , I_{c2} , I_{c3} e I_{c4} rappresentano i

N. Iscriz. 826
(in proprio e per gli altri)

possibili valori di corrente assorbita da celle di memoria in ciascuno dei quattro possibili stati di programmazione; in particolare, Ic1, Ic2, Ic3 e Ic4 sono assunti essere i valori medi di distribuzioni statistiche 5 di correnti per celle di memoria nei diversi stati di programmazione ("11", "10", "01" e "00").

Riferendosi a FIG. 4A, tutti i rami di circuito di carico di programmazione sono inizialmente abilitati (blocco 401). A questo scopo, il circuito di controllo 10 della memoria 119 asserisce il segnale di controllo SET-PL: tutti i flip-flop 211-1, ..., 211-k sono posti nello stato impostato, e tutti gli interruttori 207 sono chiusi.

Viene selezionata una pagina di memoria, quindi 15 (blocco 403), le celle di memoria della pagina di memoria selezionata sono accedute in condizioni di lettura di verifica della programmazione, per accettare il loro stato di programmazione, ed i dati recuperati sono confrontati dal comparatore 121 alla parola dati DATA da 20 scrivere nella pagina di memoria selezionata. In particolare, riferendosi a FIG. 5, in una forma di realizzazione della presente invenzione, in questa fase sono verificate solamente le celle di memoria che, in funzione della specifica parola dati DATA, sono destinate 25 ad immagazzinare un "10" ed uno "01". Una tensione di

N. Iscriz. 826
(in proprio e per gli altri)

gate di lettura standard (ad esempio, circa 5V) è applicata alla linea di parola selezionata, ed il circuito amplificatore di lettura 113 è controllato per confrontare la corrente della cella di memoria con le 5 correnti di riferimento di verifica della programmazione Ipv1, Ipv2 e Ipv3 (invece delle correnti di riferimento di lettura standard Ir1, Ir2 e Ir3). Le celle di memoria sono dichiarate essere già nello stato di programmazione desiderato se esse sono destinate ad immagazzinare un 10 "11", oppure se esse sono destinate ad immagazzinare uno "01" e $I_c < I_{pv2}$, o ancora se esse sono destinate ad immagazzinare un "10" e $I_c < I_{pv1}$.

In funzione del risultato del confronto, il circuito comparatore 121 asserisce/deasserisce i segnali di 15 controllo RST-PL, con ciò azzerando selettivamente i flip-flop 211-1, ..., 211-k associati ai rami di circuito di carico di programmazione corrispondenti a quelle celle di memoria della pagina di memoria selezionata che sono destinate ad immagazzinare un "11", un "10" o uno "01." 20 Tali rami di circuito di carico di programmazione sono quindi selettivamente mantenuti abilitati o disabilitati in funzione del fatto che la rispettiva cella di memoria deve essere programmata oppure è dichiarata essere già nello stato di programmazione desiderato, 25 rispettivamente. I rami di circuito di carico.



N. Iscriz 826
(in proprio e per gli altri)

programmazione associati alle celle di memoria destinate ad immagazzinare uno "00" sono invece mantenuti abilitati. In questo modo, gli impulsi di programmazione verranno applicati solamente quelle celle di memoria che 5 non sono dichiarate essere già nello stato desiderato. Si osservi che una volta che un ramo di circuito di carico di programmazione è disabilitato, esso non può essere riabilitato durante una stessa operazione di programmazione. In altre parole, il segnale di controllo 10 SET-PL è asserito solamente una volta, all'inizio dell'operazione di programmazione.

Le tensioni di programmazione sono poi predisposte (blocco 405); in particolare, la tensione di gate V_g è posta pari ad una tensione iniziale (V_{gin} in FIGG. 6A, 6B 15 e 6C), ad esempio circa uguale a 1.5 V.

Si entra poi in un primo anello 407, che prevede di applicare alle celle di memoria della pagina di memoria selezionata un certo numero di impulsi di programmazione (blocco 407c) con una tensione di gate V_g che aumenta a 20 ciascun impulso di programmazione (blocco 407a), fino a che si raggiunge una tensione di gate prescritta, per esempio circa 3V (blocco 407b, in cui V_{g1} denota la tensione di gate prescritta da raggiungere). A ciascuna iterazione dell'anello, la tensione di gate è per esempio 25 aumentata di circa 300 mV. Durante questo primo anello,

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

lo stato di programmazione delle celle di memoria non viene verificato dopo ciascun impulso di programmazione. A ciascun impulso di programmazione, la tensione di soglia delle celle di memoria i cui rami di circuito di carico di programmazione sono abilitati aumenta di una quantità relativamente ben nota.

Alla fine dell'anello 407, si entra in un secondo anello 409. A ciascuna iterazione del secondo anello 409, le celle di memoria sono di nuovo accedute in condizioni di lettura di verifica della programmazione (blocco 409a), ed il rispettivo stato di programmazione è accertato, per determinare se alcune celle sono già state portate nello stato di programmazione desiderato. In particolare, come nella precedente fase di verifica della programmazione (blocco 403), in questa fase sono verificate solamente le celle di memoria destinate ad immagazzinare un "10" e uno "01". La tensione di gate di lettura standard è applicata alla linea di parola selezionata, ed il circuito amplificatore di lettura 113 è controllato per confrontare la corrente di cella di memoria con le correnti di riferimento di verifica della programmazione Ipv1, Ipv2 e Ipv3. Le celle di memoria sono dichiarate essere state portate nello stato di programmazione desiderato se esse sono destinate ad immagazzinare uno "01" e $I_c < I_{pv2}$, o se esse sono

Ing. Marco MACCALLI

N. Iscriz 826

(in proprio e per gli altri)

destinate ad immagazzinino un "10" e $I_c < I_{pV1}$. I rami di circuito di carico di programmazione sono di conseguenza mantenuti abilitati oppure sono disabilitati. I rami di circuito di carico di programmazione associati alle celle 5 di memoria destinate ad immagazzinare uno "00" sono mantenuti abilitati. Si accerta poi se tutti i rami di circuito di carico di programmazione associati alle celle destinate ad immagazzinare un "10" o uno "01" sono già disabilitati (blocco 409b); a questo scopo, il circuito 10 di controllo della memoria 119 mantiene gli interruttori 217-1, ..., 217-k commutati sull'uscita dell'associata porta OR 213-1, ..., 213-k, e legge il segnale di controllo PL-OFF; si osservi che, in questa condizione, grazie al fatto che sono previste le porte OR 213-1, ..., 213-k, lo 15 stato del segnale di controllo PL-OFF non è influenzato dallo stato dei flip-flop 211-1, ..., 211-k associati alle celle di memoria destinate ad immagazzinare uno "00." In caso negativo (il segnale di controllo PL-OFF è deasserrito, a significare che alcuni dei rami di circuito 20 di carico di programmazione associati alle celle di memoria destinate ad immagazzinare un "10" o uno "01" sono ancora abilitati), si determina la tensione di gate di programmazione V_g per il prossimo impulso di programmazione (blocco 409c), ed alle celle di memoria 25 non ancora programmate è selettivamente applicato un

N. Iscriz. 826
(in proprio e per gli altri)

altro impulso di programmazione (blocco 409d).

Preferibilmente, prima di applicare un altro impulso di programmazione, si controllato se, nelle iterazioni dell'anello 409, è stato raggiunto un numero massimo 5 consentito di impulsi di programmazione (blocco 409e); se il numero massimo di impulsi di programmazione è stato raggiunto, si esce dall'anello 409, si dichiara una condizione di errore (blocco 411) e si arresta la routine di programmazione.

10 In particolare, come mostrato in FIG. 4B, la tensione di gate di programmazione V_g per il prossimo impulso di programmazione viene determinata come segue. Per esempio, mediante una disposizione circuitale quale quella esemplificativa mostrata in FIG. 3, si determina 15 dapprima il numero di rami di circuito di carico di programmazione che sono stati disabilitati durante l'iterazione corrente dell'anello 409. In altre parole, si determina il numero di celle che sono pervenute allo stato di programmazione desiderato dopo l'applicazione 20 dell'ultimo impulso di programmazione. Se si rileva che tale numero è minore di un numero prescritto K (blocco 415), la tensione di gate di programmazione V_g viene aumentata (blocco 419) oppure, se la tensione di gate di programmazione ha già raggiunto un valore massimo 25 predefinito (V_{gmax} , blocco 417), la tensione di gate di programmazione viene mantenuta costante.



N. Iscriz. 826
(in proprio e per gli altri)

programmazione è mantenuta a quel valore massimo (blocco 421). Se al contrario il numero di rami di circuito di carico di programmazione che sono stati disabilitati nel corso dell'iterazione corrente dell'anello 409 risulta 5 essere maggiore del numero prescritto K, la tensione di gate di programmazione Vg non viene aumentata, bensì è mantenuta costante al valore corrente o è addirittura diminuita di uno o più passi.

Quando tutti i rami di circuito di carico di programmazione associati alle celle destinate ad immagazzinare un "10" o uno "01" sono trovati essere disabilitati (una situazione rilevata dal circuito di controllo della memoria 119 sulla base dello stato del segnale di controllo PL-OFF), si entra in un terzo anello 15 413. In questo terzo anello 413, a ciascuna iterazione le celle di memoria destinate ad immagazzinare uno "00" sono accedute in condizioni di verifica della programmazione. Alla linea di parola selezionata viene applicata una tensione di gate di lettura più elevata della tensione di 20 gate di lettura standard (ad esempio, 6V), ed il circuito amplificatore di lettura 113 confronta la corrente Ic assorbita dalle celle di memoria con le correnti di riferimento di verifica della programmazione Ipv1, Ipv2 e Ipv3. Se per una qualsiasi cella data sotto verifica 25 risulta essere $I_c < I_{pv3}$, il rispettivo ramo di circuito

N. Iscriz. 826
(in proprio e per gli altri)

di carico di programmazione viene disabilitato (blocco 413a).

Si accerta quindi se tutti i rami di circuito di carico di programmazione risultano essere disabilitati 5 (blocco 413b); per questa operazione, gli interruttori 217-1, ..., 217-k sono commutati sulle uscite degli associati flip-flop 211-1, ..., 211-k. In caso negativo (alcuni dei rami di circuito di carico di programmazione sono ancora abilitati), si determina la tensione di gate 10 di programmazione per il prossimo impulso di programmazione (blocco 413c), nello stesso modo descritto in precedenza in relazione all'anello 409, e si applica selettivamente un altro impulso di programmazione alle celle di memoria non ancora programmate (blocco 413d). 15 Come descritto in precedenza, prima di applicare un altro impulso di programmazione, si controlla preferibilmente se, nelle iterazioni dell'anello 413, si è raggiunto un numero massimo consentito di impulsi di programmazione (blocco 413e): se si è raggiunto il numero massimo di 20 impulsi di programmazione, si esce dall'anello 413, si dichiara una condizione di errore (blocco 411) e la routine di programmazione si arresta.

Quando tutti i rami di circuito di carico di programmazione sono infine trovati essere disabilitati, 25 la routine di programmazione termina.

N. ISCRIZ. 828
(in proprio e per gli altri)

FIG. 6A mostra schematicamente l'evoluzione della tensione di soglia di una generica cella di memoria nel caso in cui la tensione di gate di programmazione sia aumentata indiscriminatamente a ciascun impulso di 5 programmazione, fino a raggiungere una tensione di gate di programmazione massima, e sia successivamente mantenuta costante a tale valore. La rampa $V_g(t)$ rappresenta l'evoluzione nel tempo della tensione di gate di programmazione (la reale evoluzione a gradini essendo 10 stata approssimata nel disegno da una linea retta). Le curve $V_{th}(t)@1$, $V_{th}(t)@2$ e $V_{th}(t)@3$ rappresentano la corrispondente evoluzione della tensione di soglia della cella di memoria in tre condizioni, che differiscono 15 l'una dall'altra per uno o più dei potenziali elettrici applicati agli elettrodi di drain, source e body della cella di memoria. Si supponga che la tensione di soglia obiettivo della cella di memoria sia V_{th1} , e che la tensione di soglia della cella di memoria evolva seguendo 20 la curva caratteristica $V_{th}(t)@1$; se, dopo aver applicato un certo numero di impulsi di programmazione (per semplicità dei disegni, tre impulsi di programmazione), un numero relativamente elevato di altre celle di memoria 25 che appartengono alla stessa pagina di memoria della cella di memoria considerata sono verificate essere programmate, ed i rispettivi rami di circuito di carico

N. Iscriz. 826
(in proprio e per gli altri)

di programmazione sono disabilitati, i minori valori delle correnti I_d , I_s e I_b che fluiscono attraverso le resistenze parassite R_{vpd} , R_{SLa} , R_{SL} e R_{Ba} al prossimo impulso di programmazione possono far sì che le 5 condizioni di polarizzazione della cella di memoria siano tanto diverse che la curva caratteristica che descrive l'evoluzione della tensione di soglia della cella di memoria divenga $V_{th}(t)@2$ o, addirittura, $V_{th}(t)@3$. A causa di ciò, l'applicazione del prossimo impulso di 10 programmazione non causa, come atteso, un aumento della tensione di soglia della cella di memoria fino al valore obiettivo V_{th1} ; il salto di tensione di soglia è invece maggiore di quello atteso, e la tensione di soglia della cella di memoria salta a V_{th2} o anche a V_{th3} : in altre 15 parole, la cella di memoria può essere sovraprogrammata, ed essere portata in uno stato di programmazione non corretto (ad esempio, "01" o anche "00" invece di "10", o "00" invece di "01"). L'unico modo per recuperare questa condizione è cancellare la cella di memoria (e quindi 20 tutte le celle di memoria della stessa pagina), e ripetere l'operazione di programmazione.

FIGG. 6B e 6C mostrano invece come, mediante il metodo secondo una forma di realizzazione della presente invenzione, non si incorra in questi problemi. In particolare, se si accerta che il numero di rami 25



Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

circuito di carico di programmazione che saranno disabilitati ad una certa iterazione dell'anello 409 o 413 eccede il numero prescritto K, la tensione di gate di programmazione V_g non viene aumentata del passo 5 prescritto, ma viene invece mantenuta costante (FIG. 6B) o addirittura diminuita di uno o più passi (FIG. 6C). Di conseguenza, anche se la curva caratteristica che descrive l'evoluzione della tensione di soglia della cella di memoria cambia da $V_{th}(t)@1$ a $V_{th}(t)@2$ o 10 addirittura a $V_{th}(t)@3$, la modifica nella forma di queste curve caratteristiche (che seguono la modifica della forma della curva $V_g(t)$) assicura che tensione di soglia obiettivo V_{th1} per la cella di memoria non venga superata.

15 Il parametro K può anche essere sostituito da due o più parametri diversi, permettendo così un controllo fine della variazione da applicare alla tensione di gate di programmazione V_g . Per esempio, se il valore differenza ΔVAL , calcolato dal circuito sommatore 303 è minore di un 20 primo valore prescritto, la tensione di gate di programmazione è normalmente aumentata di un passo; se il valore ΔVAL è uguale a o maggiore del primo valore prescritto, ma minore di un secondo valore prescritto, la tensione di gate di programmazione è mantenuta costante; 25 se il valore ΔVAL è uguale o maggiore del secondo valore

N. Iscrz. 826
(in proprio o con gli altri)

prescritto, la tensione di gate di programmazione è diminuita di un passo. L'entità del decremento della tensione di gate di programmazione può inoltre essere resa dipendente dal valore ΔV_{AL} .

5 Facendo ancora riferimento a FIGG. 4A e 4B, si osservi che nell'anello 413 sarebbe possibile evitare il controllo della tensione di gate di programmazione basato sul numero di rami di circuito di carico di programmazione che vengono disabilitati dopo un dato 10 impulso di programmazione; infatti, una sovraprogrammazione delle celle di memoria destinate ad immagazzinare uno "00" non provoca errori, ma soltanto fa sì che tali celle di memoria siano relativamente più dure da cancellare. Tuttavia, è vantaggioso implementare il 15 controllo proposto anche per queste celle, poiché in questo modo è possibile evitare sovraprogrammazioni, il che si traduce in un tempo di cancellazione ridotto e in minore stress sulle celle. Considerazioni simili si applicano nel caso di celle di memoria bilivello.

20 Si sottolinea che lo stabilire il numero di rami di circuito di carico di programmazione che sono disabilitati progressivamente dopo l'applicazione dell'impulso di programmazione è solo un modo per prevedere una variazione nelle condizioni di 25 polarizzazione delle cella di memoria tra due successivi

Ing. Marco MACCALLI
N. Iscriz. 826
~~(in proprio e per gli altri)~~

impulsi di programmazione; altri modi di prevedere tale variazione di condizioni di polarizzazione sono possibili.

La presente invenzione può essere applicata in 5 generale a qualsiasi tipo di memoria a semiconduttore programmabile elettricamente, sia essa una EPROM, una EEPROM o una memoria Flash; in particolare, l'invenzione può essere applicata sia a memorie bilivello che a memorie multilivello.

10 Sebbene la presente invenzione sia stata descritta mediante alcune sue forme di realizzazione, è chiaro ai tecnici del ramo che molte modifiche alle forme di realizzazione descritte, così come altre forme di realizzazione della presente invenzione sono possibili, 15 senza uscire dall'ambito di tutela definito nelle seguenti rivendicazioni.

* * * * *

Ing. Marco MACCALLI
 N. Iscriz. 826
 (in proprio e per gli altri)

RIVENDICAZIONI

1. Un metodo di programmazione di una memoria programmabile elettricamente, comprendente:

5 applicare almeno un primo impulso di programmazione (409d, 413d) ad un gruppo di celle di memoria (MC₁-MC_k) della memoria;

accedere (409a, 413a) le celle di memoria del gruppo per accettare un loro stato di programmazione; e

10 applicare almeno un secondo impulso di programmazione (409d, 413d) a quelle celle di memoria nel gruppo il cui stato di programmazione non è accertato corrispondere ad uno stato di programmazione desiderato, variando (409c, 413c) una tensione applicata ad un 15 elettrodo di controllo (WL₁) delle celle di memoria tra l'almeno un primo impulso di programmazione e l'almeno un secondo impulso di programmazione,

caratterizzato dal fatto che

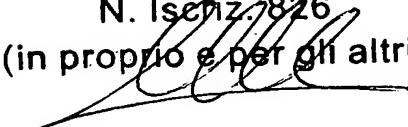
detto variare la tensione dell'elettrodo di 20 controllo comprende:

prevedere una variazione nelle condizioni di polarizzazione delle celle di memoria nel gruppo fra detti almeno un primo ed almeno un secondo impulso di programmazione (415); e

25 variare la tensione dell'elettrodo di controllo



N. Iscriz. 826
(in proprio e per gli altri)



accordo alla variazione prevista nelle condizioni di polarizzazione (417-423).

2. Il metodo secondo la rivendicazione 1, in cui
5 detto prevedere una variazione nelle condizioni di polarizzazione comprende il determinare un numero di celle di memoria nel gruppo il cui stato di programmazione è accertato corrispondere ad uno stato di programmazione desiderato dopo aver applicato il primo
10 impulso di programmazione.

3. Il metodo secondo la rivendicazione 2, in cui detto variare la tensione dell'elettrodo di controllo comprende aumentare, mantenere costante o diminuire la
15 tensione dell'elettrodo di controllo in funzione del numero di celle di memoria nel gruppo il cui stato di programmazione è accertato corrispondere ad uno stato di programmazione desiderato dopo aver applicato il primo impulso di programmazione.

20

4. Il metodo secondo la rivendicazione 3, in cui detto aumentare, mantenere costante o diminuire la tensione dell'elettrodo di controllo comprende aumentare la tensione dell'elettrodo di controllo se detto numero è
25 inferiore ad un primo valore prescritto e mantenere

costante la tensione dell'elettrodo di controllo se detto numero è maggiore di detto primo prescritto ma minore di un secondo valore prescritto, e diminuire la tensione dell'elettrodo di controllo se detto numero è maggiore
5 del secondo valore prescritto.

5. Il metodo secondo una qualunque delle rivendicazioni precedenti, comprendente inoltre:

ripetere detti atti di applicare almeno un primo
10 impulso di programmazione, accedere ed applicare almeno un secondo impulso di programmazione fino a che uno stato di programmazione di tutte le celle di memoria nel gruppo è accertato corrispondere ad uno stato di programmazione desiderato (409b, 413b).

15

6. Un circuito per programmare celle di memoria di una memoria programmabile elettricamente, comprendente:

un circuito (111) per applicare impulsi di programmazione a gruppi selezionati (MC₁-MC_k) di celle di memoria;
20

un generatore di tensione variabile (V_g) per fornire una tensione di programmazione variabile ad un elettrodo di controllo (WL₁) delle celle di memoria nel gruppo;

un circuito di verifica della programmazione
25 (113, 121) per accedere le celle di memoria nel gruppo,

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

accertare un loro stato di programmazione e far sì che
impulsi di programmazione siano applicati ripetutamente
alle celle di memoria nel gruppo fino a che il loro stato
di programmazione non è accertato corrispondere ad uno
5 stato di programmazione desiderato, variando la tensione
dell'elettrodo di controllo;

caratterizzato dal fatto di comprendere

mezzi (301-1,...,301-k,303-307) per prevedere una
variazione delle condizioni di polarizzazione delle celle
10 di memoria tra impulsi di programmazione successivi, e
per far sì che il generatore di tensione variabile generi
una tensione che dipende dalla variazione prevista nelle
condizioni di polarizzazione delle celle di memoria.

15 7. Il circuito della rivendicazione 6, in cui detti
mezzi per prevedere una variazione includono mezzi (301-
1,...,301-k,303) per contare un numero di celle di memoria
il cui stato di programmazione è accertato corrispondere
ad uno stato di programmazione desiderato dopo
20 l'applicazione di un impulso di programmazione.

8. Il circuito della rivendicazione 7, in cui detto
circuito per applicare impulsi di programmazione include
una pluralità di rami di circuito di programmazione (207)
25 pari al numero di celle in un gruppo selezionato, detto

circuito di verifica della programmazione facendo sì che i rami di circuito di programmazione associati alle celle di memoria il cui stato di programmazione è accertato corrispondere ad uno stato di programmazione desiderato 5 vengano posti in uno stato disabilitato, e detti mezzi per contare il numero di celle di memoria includono mezzi per contare il numero di rami di circuito di programmazione che sono posti in uno stato disabilitato dopo l'applicazione di un impulso di programmazione.

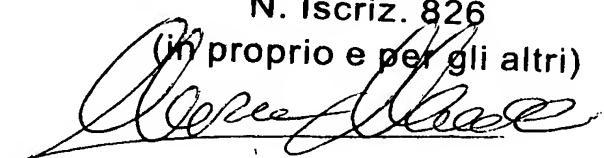
10

9. Il circuito della rivendicazione 8, in cui detti mezzi per prevedere comprendono mezzi per confrontare il numero di rami di circuito di programmazione che sono posti in uno stato disabilitato dopo l'applicazione di un 15 impulso di programmazione con almeno un numero prescritto (K), la tensione generata dal generatore di tensione variabile dipendendo dal risultato di tale confronto.

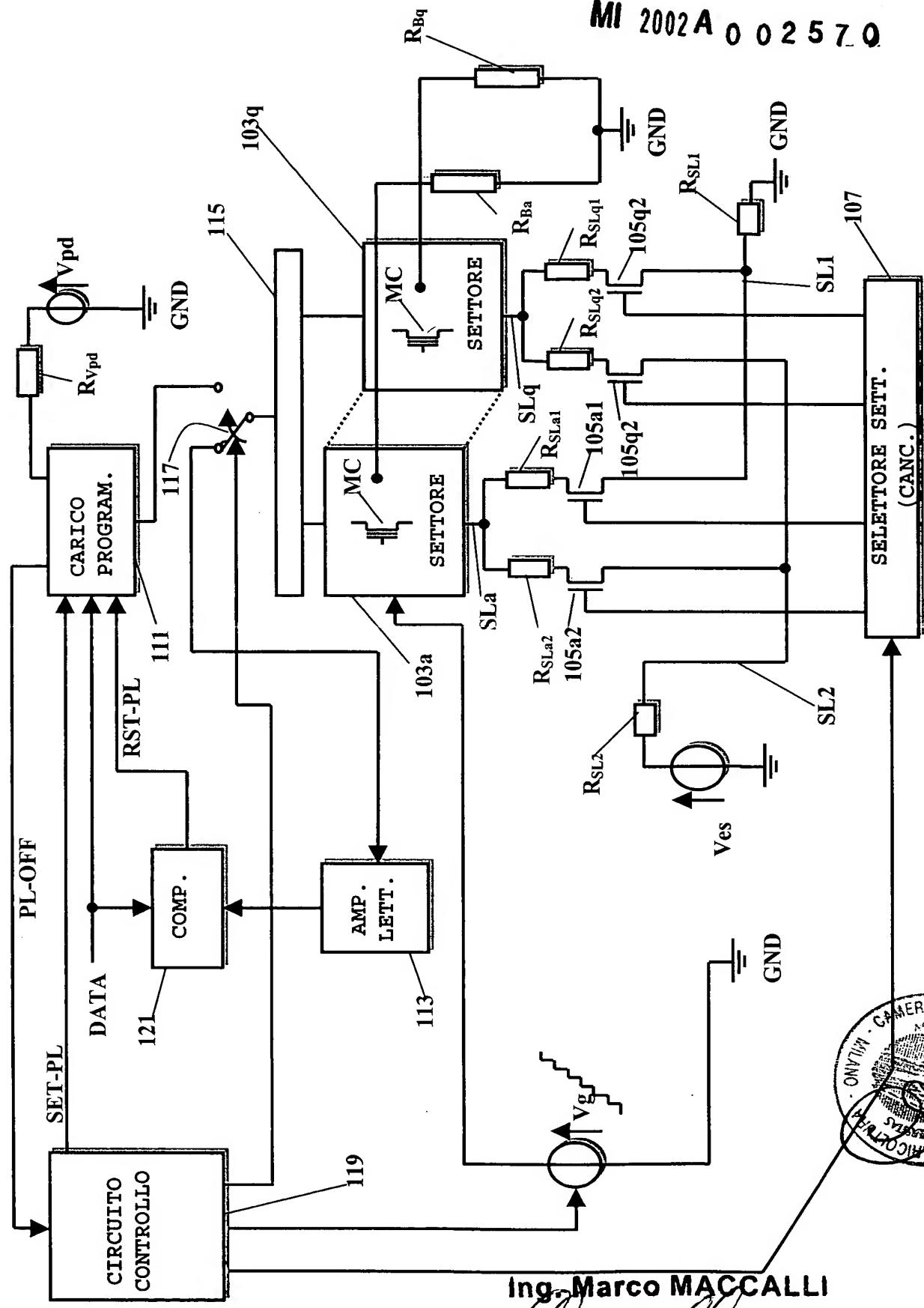
Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)



MI 2002A 002570



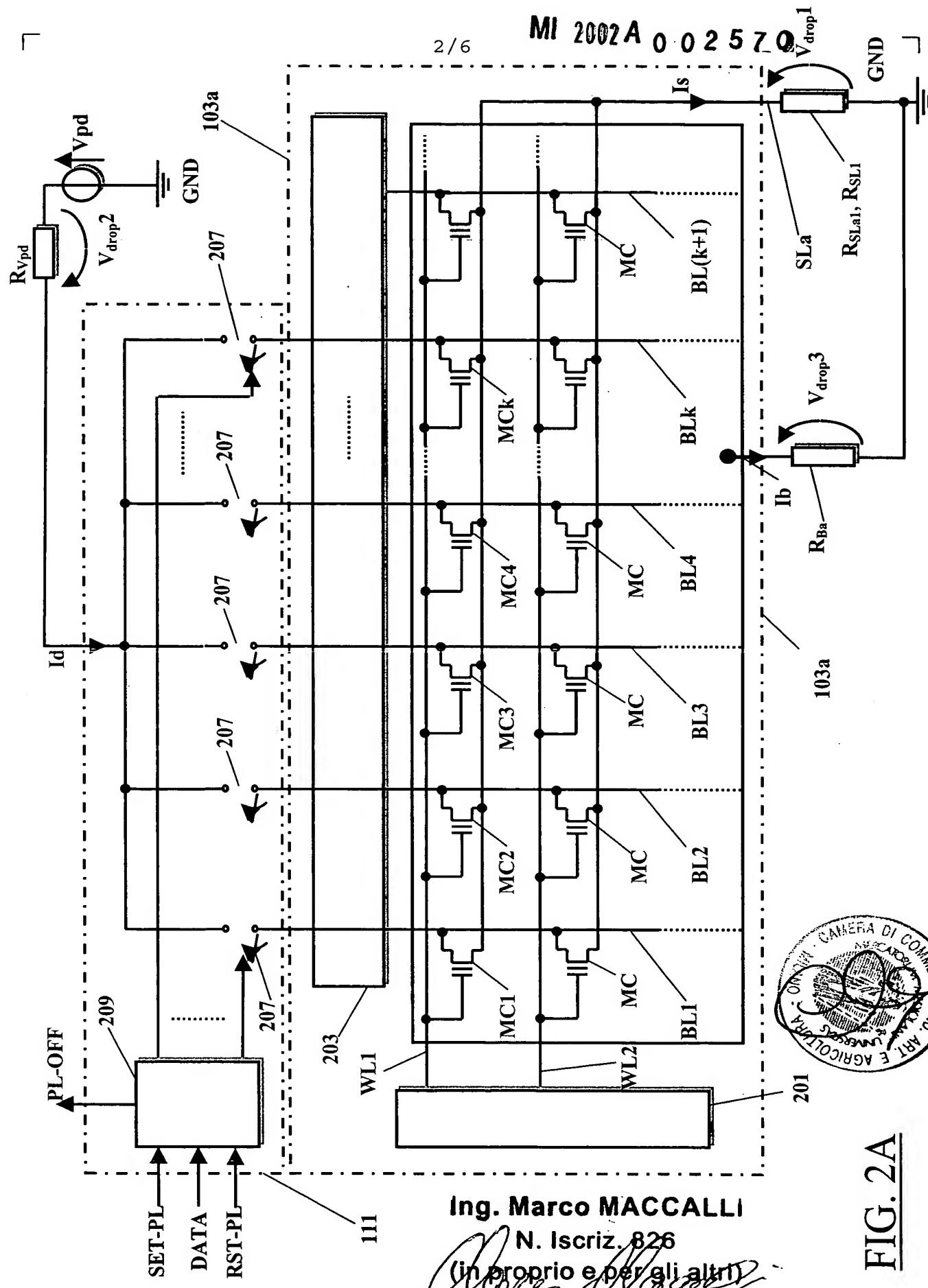
Ing. Marco MACCALLI

N. Iscriz. 826

(In proprio e per gli altri)

FIG. 1

MI 2002 A 0 0 2 5 7 0



Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

Marco MacCalli
FIG. 2A

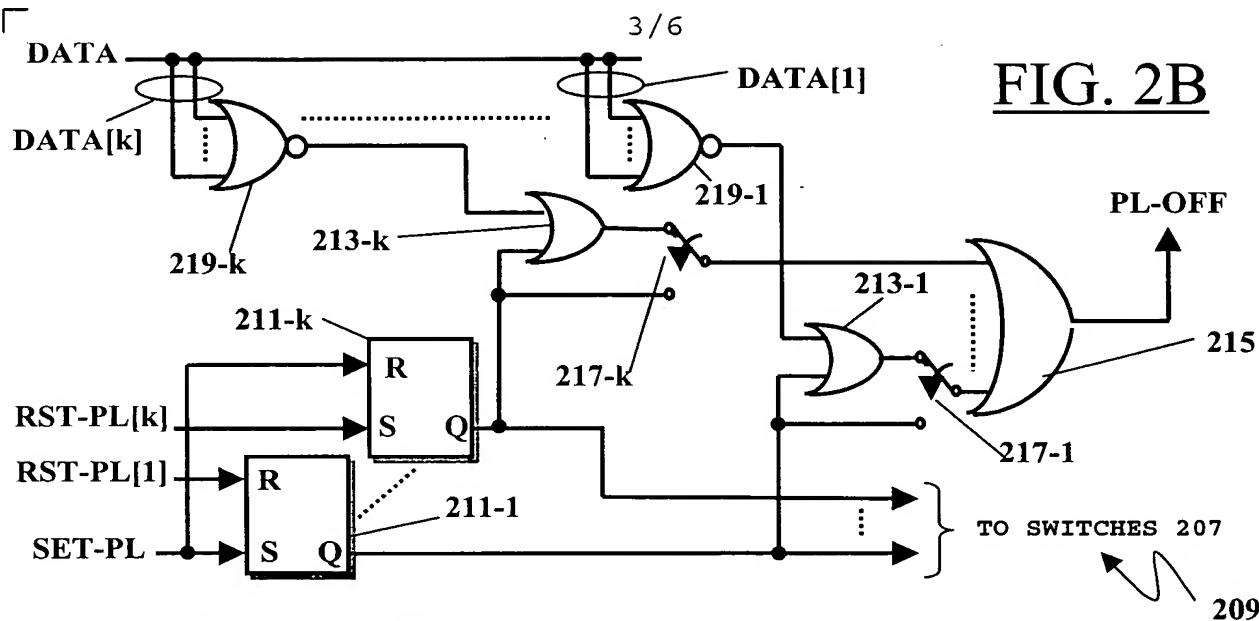


FIG. 2B

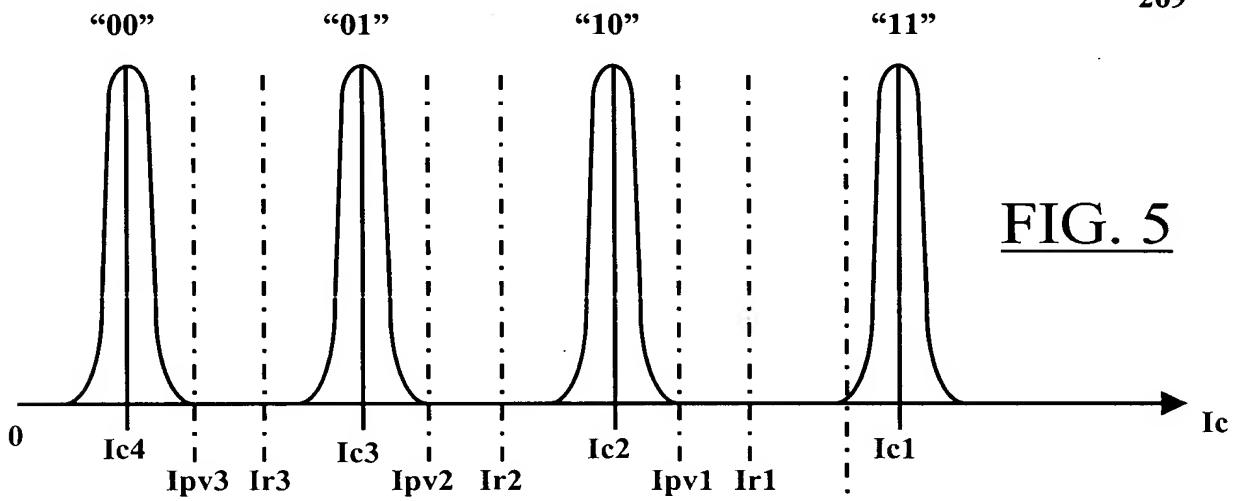


FIG. 5

MI 2002 A 0 0 2 5 7 0

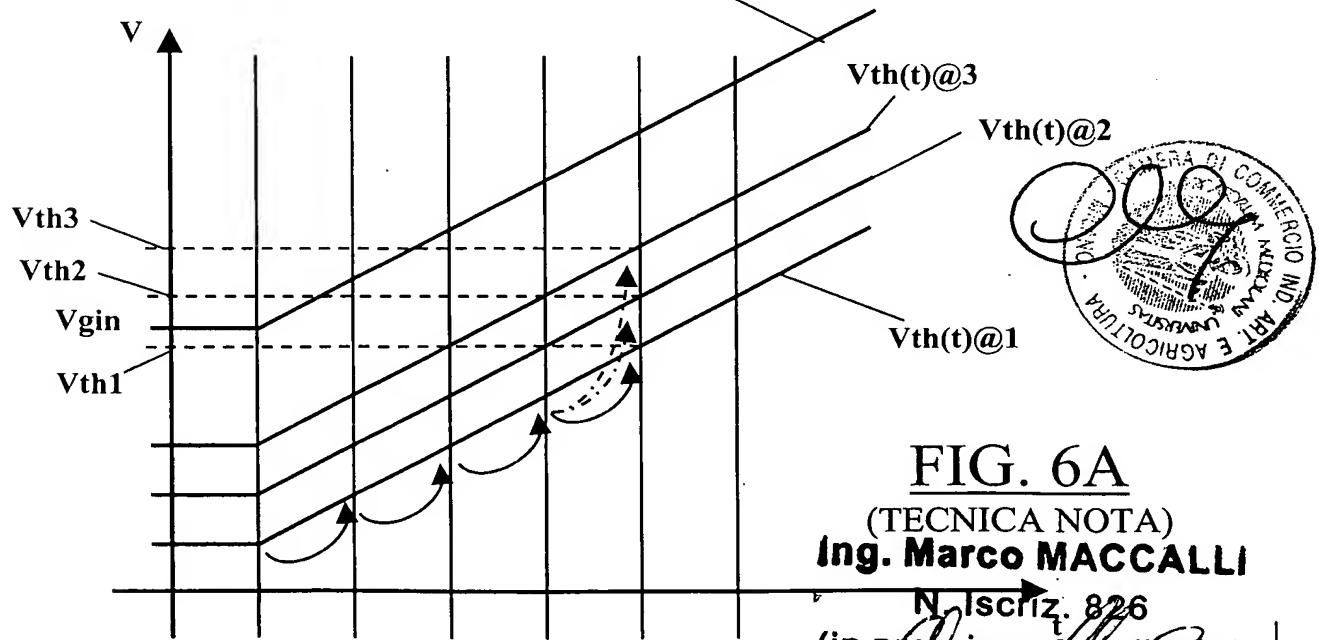


FIG. 6A
(TECNICA NOTA)
Ing. Marco MACCALLI

N. Iscriz. 826
(in proprio e per gli altri)

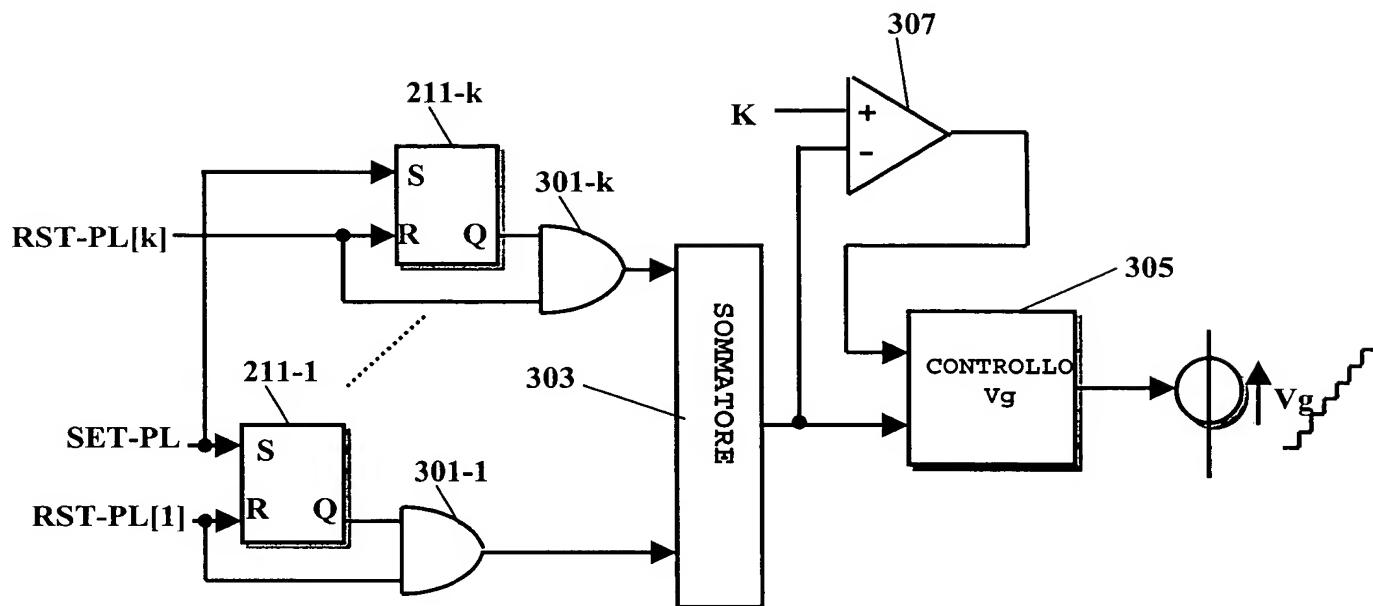
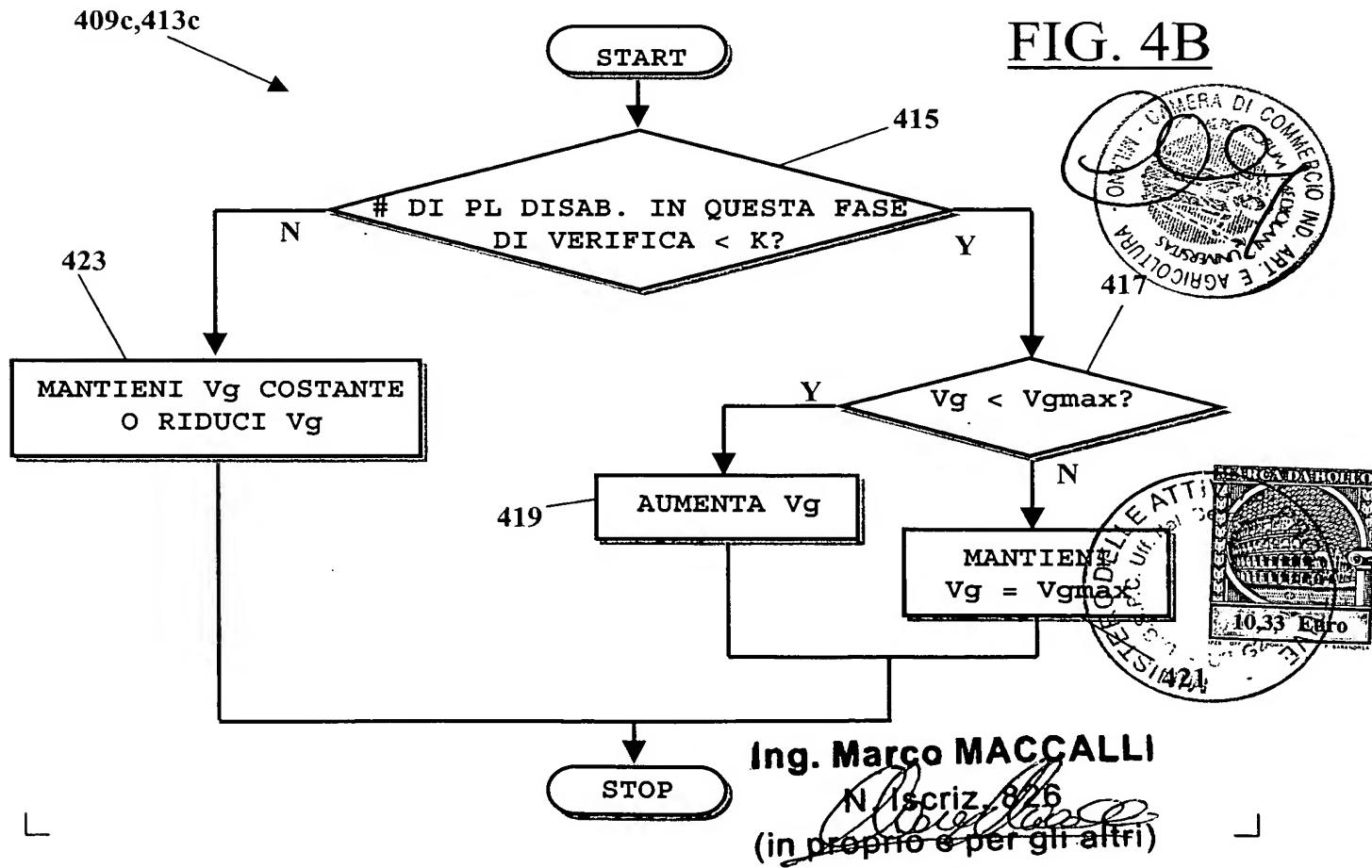


FIG. 3

MI 2002 A 0 0 2 5 7 0

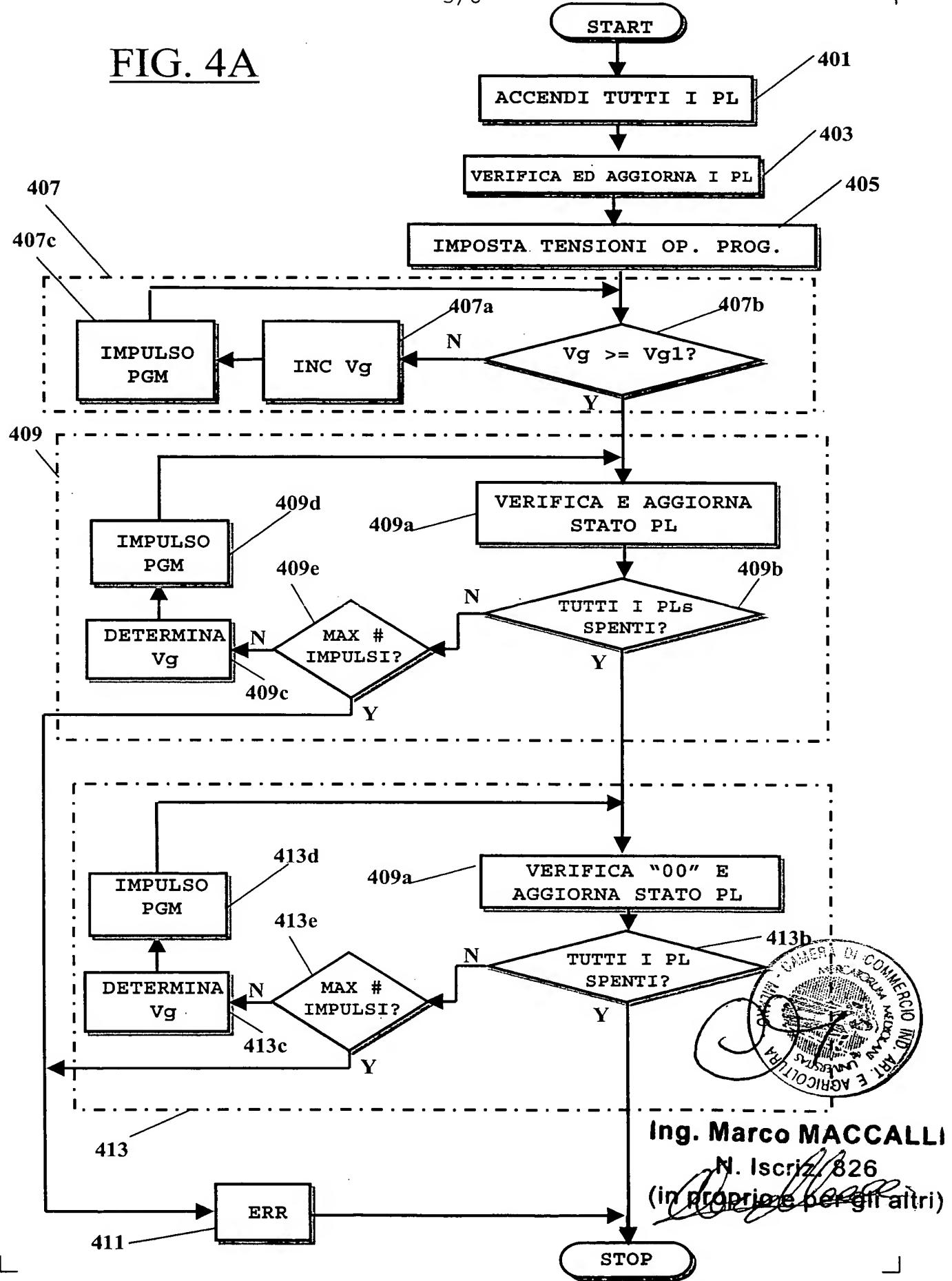


Ing. Marco MACCALLI
N. Iscriz. 816
(in proprio e per gli altri)

MI 2002 A 002570

5/6

FIG. 4A



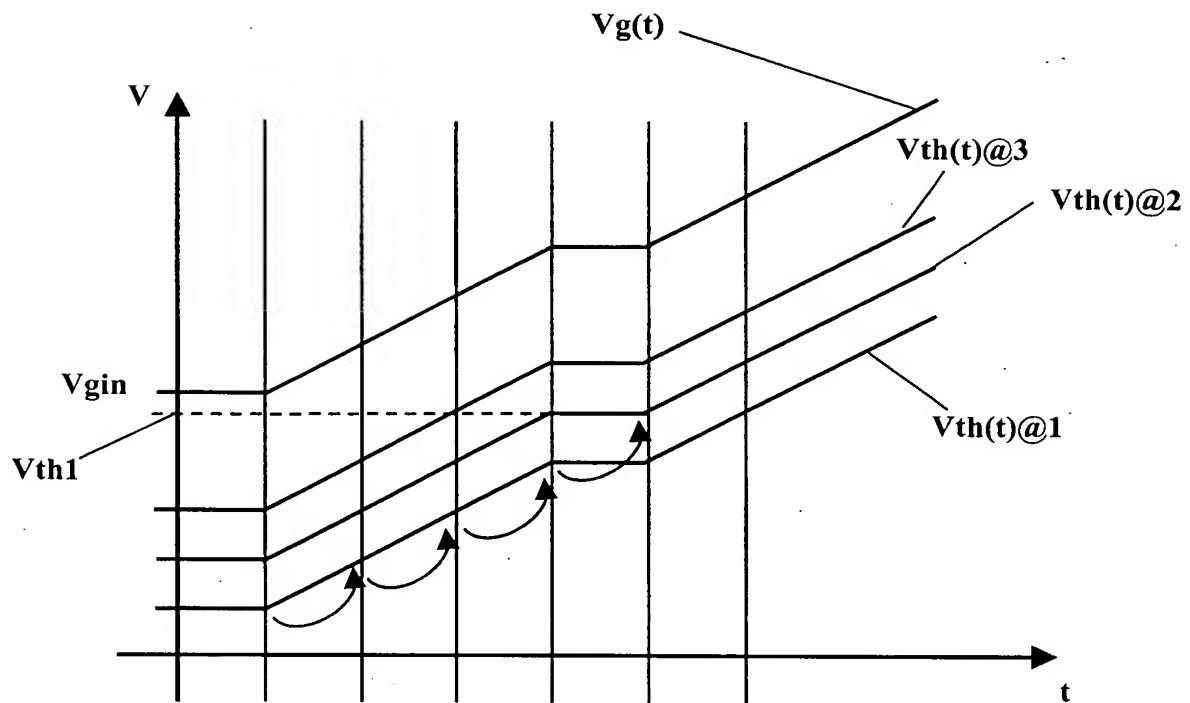


FIG. 6B

MI 2002A 002570

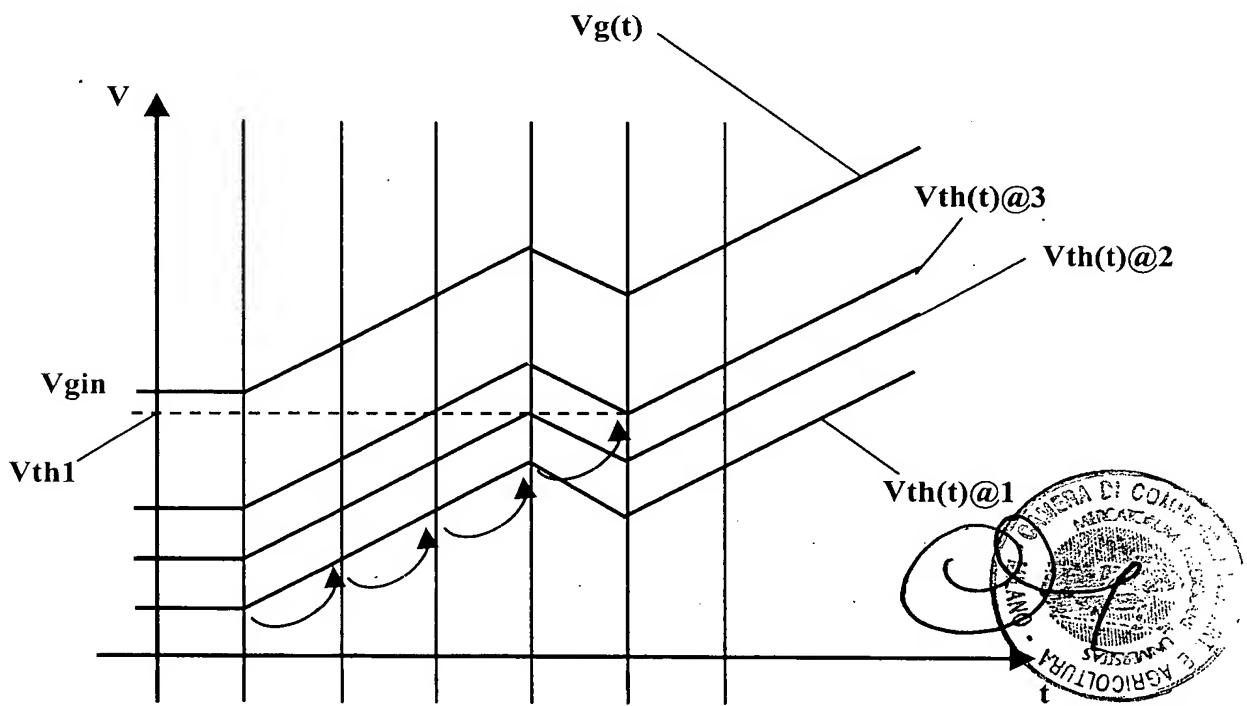


FIG. 6C

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)